

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-95639

(43)公開日 平成6年(1994)4月8日

(51) Int. C1.5 識別記号 庁内整理番号 F1
 G 09 G 5/12 8121-5 G
 H 04 N 5/445 Z
 5/66 D 9068-5 C

技術表示箇所

審査請求 未請求 請求項の数5

(全7頁)

(21)出願番号 特願平4-248202
 (22)出願日 平成4年(1992)9月17日

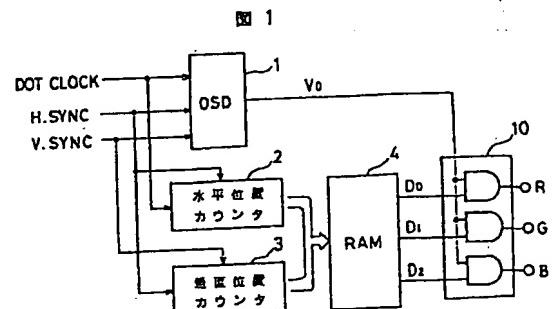
(71)出願人 591132335
 株式会社ザナヴィ・インフォマティクス
 神奈川県座間市広野台2丁目4991番地
 小澤 洋
 東京都大田区大森北一丁目18番2号 株式
 会社ザナヴィ・インフォマティクス内
 (74)代理人 弁理士 富田 和子 (外1名)

(54)【発明の名称】画像表示回路

(57)【要約】

【目的】OSD I Cに色機能を追加または強化することにより、画面制御LSIを用いた高価な回路によらず、高度な色機能を持たせることができる画像表示回路を提供する。

【構成】クロック信号、水平同期信号および垂直同期信号を受けて、これらの信号に同期して画像を構成するドットデータを出力するオンスクリーンディスプレイ(OSD)1を用いた画像表示回路において、ドットを表示させるための基本クロックであるドットクロックをカウントし、水平同期信号でリセットされる第1のカウンタ2と、水平同期信号をカウントし、垂直同期信号でリセットされる第2のカウンタ3と、第1および第2のカウンタの出力をアドレス信号とし、このアドレス信号に対応するメモリ番地に複数ビットのカラーデータを格納したRAM4と、RAM4の出力をオンスクリーンディスプレイ(OSD)1から出力されるドットデータと合成して、このドットデータよりビット数の多い出力ドットデータを出力する合成回路10とを備えた。



【特許請求の範囲】

【請求項1】クロック信号、水平同期信号および垂直同期信号を受けて、これらの信号に同期して画像を構成するドットデータを出力するオンスクリーンディスプレイICを用いた画像表示回路において、ドットを表示させるための基本クロックであるドットクロックをカウントし、水平同期信号でリセットされる第1のカウンタと、水平同期信号をカウントし、垂直同期信号でリセットされる第2のカウンタと、該第1および第2のカウンタの出力をアドレス信号とし、該アドレス信号に対応するメモリ番地に複数ビットのカラーデータを格納したRAMと、該RAMの出力を前記オンスクリーンディスプレイICから出力されるドットデータと合成して、該ドットデータよりビット数の多い出力ドットデータを出力する合成回路とを備えたことを特徴とする画像表示回路。

【請求項2】前記RAMに書き込むカラーデータおよび該カラーデータの書き込みアドレスを出力するマイクロコンピュータと、該マイクロコンピュータからの制御信号に応じて前記書き込みアドレスと前記量カウンタの出力と切替るセレクタとをさらに備えたことを特徴とする請求項1記載の画像表示回路。

【請求項3】前記オンスクリーンディスプレイICが1ビットのモノクロドットデータV_oを出力する場合、前記RAMには3ビットのカラーデータR, G, Bを格納しておき、前記合成回路は、前記RAMから出力される複数ビットのカラーデータR, G, Bの各ビットと前記モノクロドットデータV_oとのアンド出力を3ビット出力ドットデータとすることを特徴とする請求項1記載の画像表示回路。

【請求項4】前記オンスクリーンディスプレイICが1ビットのモノクロドットデータV_oを出力する場合、前記RAMには6ビットのカラーデータR₁, R₂, G₁, G₂, B₁, B₂を格納しておき、前記合成回路は、前記カラーデータの各色2ビットをD/A変換した信号と前記モノクロドットデータV_oとのアナログレベルのアンド出力を3ビット出力ドットデータとすることを特徴とする請求項1記載の画像表示回路。

【請求項5】前記オンスクリーンディスプレイICが3ビットのカラーデータVR, VG, VBおよびモノクロドットデータV_oを出力する場合、前記RAMには3ビットの背景色データBR, BG, BBおよび1ビットの輝度信号ビットIを格納しておき、前記合成回路は、前記カラーデータVR, VG, VBがオール“0”的なときに当該カラーデータに前記背景色データをビット単位に加算するとともに、前記モノクロドットデータV_oと前記輝度信号ビットIとのアンド出力を出力輝度信号ビットとし、該出力輝度信号ビットと前記カラーデータVR, VG, VBとを4ビット出力ドットデータとすることを

特徴とする請求項1記載の画像表示回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆるオンスクリーンディスプレイIC(OSD IC)を用いて、テレビジョン等の画面に文字、図形等の表示を行う表示回路に係り、特に、OSD ICに色機能を追加、あるいは強化する回路に関する。

【0002】

【従来の技術】OSD ICは、マイクロコンピュータ(マイコン)と組み合わせて、テレビジョン(TV)、ビデオディスク等に使用することにより、テレビ画面上に文字、図形等の表示を行うことのできるICであり、通常、画面上に文字の構成要素であるドットを表示させるための基本クロックであるドットクロック、水平同期信号および垂直同期信号を受けて、所定の大きさの文字を構成するモノクロドット信号を出力する。また、8色程度のカラー表示が行えるものもある。ただし、その背景色は1行単位で変更するものである。

【0003】OSD ICの一例として、12行24桁オンスクリーンキャラクタディスプレイ用のCMOS LS_IであるμPD6453等が知られている。

【0004】

【発明が解決しようとする課題】上記OSD ICによれば、TV等の画面上に、文字あるいは図形等の表示を行うための回路を安価に提供することができる。

【0005】しかしながら、OSD ICは、單一色か8色程度の色表示しか行えず、さらに多くの色を表示したい場合には、OSD ICに代えて、より高価な画面表示制御LS_I(例えばHD63484, μPD72120等)を中心として画像用のRAMおよびキャラクタ用ROMを使用する必要があった。

【0006】また、OSD ICでは、文字あるいは図形の部分以外の背景部分について、1行単位でしか色を指定できないという問題もあった。

【0007】本発明の目的は、OSD ICに色機能を追加または強化することにより、画面制御LS_Iを用いた高価な回路によらず、高度な色機能を持たせることができる画像表示回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明による画像表示回路は、クロック信号、水平同期信号および垂直同期信号を受けて、これらの信号に同期して画像を構成するドットデータを出力するオンスクリーンディスプレイICを用いた画像表示回路において、ドットを表示させるための基本クロックであるドットクロックをカウントし、水平同期信号でリセットされる第1のカウンタと、水平同期信号をカウントし、垂直同期信号でリセットされる第2のカウンタと、該第1および第2のカウンタの出力をアドレス信号とし、該アド

レス信号に対応するメモリ番地に複数ビットのカラーデータを格納したRAMと、該RAMの出力を前記オンスクリーンディスプレイICから出力されるドットデータと合成して、該ドットデータよりビット数の多い出力ドットデータを出力する合成回路とを備えたものである。

【0009】この画像表示回路において、好ましくは、前記RAMに書き込むカラーデータおよび該カラーデータの書き込みアドレスを出力するマイクロコンピュータと、該マイクロコンピュータからの制御信号に応じて前記書き込みアドレスと前記量カウンタの出力とを切替るセレクタとをさらに備える。

【0010】

【作用】オンスクリーンディスプレイICは、クロック信号、水平同期信号および垂直同期信号を受け、これらの信号に同期して画像を構成するドットデータを出力する。このドットデータは、通常、1ビットのモノクロドットデータであるが、3ビット程度のカラービットの場合もある。

【0011】第1のカウンタは、ドットを表示させるための基本クロックであるドットクロックをカウントし、水平同期信号でリセットされる。この第1のカウンタの出力は、現在OSD1Cが出力しているドットの水平方向のドット位置を示す。文字単位の色指定を行う場合であって、かつ文字を構成する横方向ドット数が2のn乗倍である場合には第1のカウンタの下位nビットを除く上位のビットを使用すれば、必要なRAMの容量を低減できる。

【0012】第2のカウンタは、水平同期信号をカウントし、垂直同期信号でリセットされる。この第2のカウンタの出力は、現在OSD1Cが出力しているドットの垂直方向の位置（ライン位置）を示す。文字単位の色指定を行う場合であって、かつ文字を構成する縦方向ドット数が2のn乗倍である場合には第2のカウンタの下位nビットを除く上位のビットを使用すれば、必要なRAMの容量を低減できる。

【0013】RAMは、該第1および第2のカウンタの出力をアドレス信号とし、該アドレス信号に対応するメモリ番地に複数ビットのカラーデータを格納する。したがって、このRAMには、画面上のドットあるいは文字の位置に応じて、その位置の色をOSD1Cとは関係なく任意に（そのビット数で表わされる色数の範囲内で）指定することができる。

【0014】合成回路は、RAMの出力をオンスクリーンディスプレイICから出力されるドットデータと合成して、該ドットデータよりビット数の多い出力ドットデータを出力する。すなわち、表示可能な色数を増加させることができる。

【0015】

【実施例】まず、図1～図4により、本発明の第1の実施例を説明する。

【0016】図1は、本実施例による画像表示回路の概略構成を示す。本回路は、OSD1C1、水平位置カウンタ2、垂直位置カウンタ3、RAM（ランダムアクセスメモリ：読み書き可能メモリ）4、合成回路10からなる。合成回路10は3個のアンドゲートからなる。

【0017】OSD1C1は、通常、ドットクロック（DOT CLOCK）、および水平同期信号（H. SYNC）および垂直同期信号（V. SYNC）を受けて、モノクロのドット信号V0を出力する。本実施例のOSD1C1は、図2に示すように、1文字8ドット×8ドットで、1画面水平方向8文字、垂直方向6行の表示を行うものとする。

【0018】図3に示すように、水平位置カウンタ2は、6ビットのカウンタからなり、ドットクロックをカウントし、水平同期信号でリセットされる。すなわち、水平位置カウンタ2は、OSD1C1が現在出力している（表示している）ドットの水平方向位置を示す。同様に、垂直位置カウンタ3は、6ビットのカウンタからなり、水平同期信号パルスをカウントし、垂直同期信号でリセットされる。すなわち、垂直位置カウンタ3は、OSD1C1が現在出力しているドットの垂直方向位置を示す。水平位置カウンタ2および垂直位置カウンタ3の各々の上位3ビット出力（Q3～Q5）は、RAM4のアドレス端子（A0～A5）にそれぞれ接続される。水平位置カウンタ2の出力Q3はドットクロックが8個入力される毎に反転し、垂直位置カウンタ3の出力Q3も同様に水平同期信号パルスが8個入力される毎に反転する。ここで、それぞれの“8個”は図2の1文字の水平方向および垂直方向の構成ドット数に対応している。これによって、RAM4には、画面上における現在表示している文字の位置を与えることになる。

【0019】RAM4は、図3に示すように、6ビットのアドレス入力端子（A0～A5）および4ビットのデータ端子（D0～D3）を有する。図4に示すように、RAM4の記憶領域は、6ビットアドレスに対応する64のメモリ番地のうち48のメモリ番地のビットD0～D2を用いる。この“48”は図2の画面における文字の総数に対応している。このRAM4の各メモリ番地に所望のビット値を格納することにより、次に述べるように、その文字位置の文字に任意の色を与えることができる。

【0020】RAM4のD0ビットを赤（R）に対応付け、D1ビットを緑（G）に対応付け、D2ビットを青（B）に対応付ける。図1から分かるように、RAM4の出力はOSD1Cの出力と同期して出力されるので、OSD1C1から出力される特定の位置の文字の出力ビット“1”に代えて、その文字についてRAM4内で指定した色データ“D0D1D2”を出力することができる。例えば、RAM4のメモリ番地8に特定の色データ“D0D1D2”を設定しておくことにより、画面上で

番号8の文字に対してその色を付与することができる。

【0021】本実施例では、文字単位の色の追加を行うようにしたが、カウンタ2、3の出力ビットすべてを用い、RAM4を12ビットアドレスとすれば、ドット単位に色の追加を行うようにすることも可能である。

【0022】次に、図5に、1文字の構成を縦16ドット、横12ドット、画面構成を水平方向19文字(228ドット)、垂直方向11行(176ライン)とした場合の本発明の第2の実施例の構成を示す。

【0023】マイコン8およびOSD IC1は、従来の回路構成要素である。このOSD IC1は、マイコン8からのクロックを受けてドットクロック11を出力するタイプのものである。このドットクロック11は、図1の場合と同様、水平位置カウンタ2へ入力される。水平位置カウンタ2は、ドットクロック11をカウントし、水平同期信号でリセットされる。これにより、カウント出力と画面上水平位置とが対応する。同様に、垂直位置カウンタ3は水平同期信号をカウントし、垂直同期信号でリセットされる。これにより、カウント出力と画面上垂直位置とが対応する。この例では、上記の文字構成および画面構成に応じて、水平カウンタ、垂直カウンタともに8ビットのカウンタを用いる。図1の場合と同様、文字単位に色を付加するために、縦方向については、カウンタ4の出力の下位4ビットを使用せず、残りの上位4ビット(V0~V4で表わす)を用いる。

【0024】横方向については、ドット数(12ドット)が2のn乗倍ではないので、特定の下位ビットの不使用では対処出来ない。そこで、この12ドット(a, b, c, …)を4ドットずつに3分割し、各4ドット単位にRAM4のメモリ番地を割り当てる。これは、擬似的に文字構成を横4ドットにしたことによる。文字単位に色を指定するには、RAM4の同一の文字に対する3つの番地には同一の色データを設定する必要がある。この構成では、カウンタ2の下位2ビットを不使用とし、残りの上位6ビット(H0~H5と表わす)を用いればよい。RAM4には $3 \times 2^9 = 672$ 個のメモリ番地が必要となる。これはRAM4に10ビットのアドレス入力を必要とすることを意味する。

【0025】また、RAM4へのデータ書き込み時のアドレスをマイコン8から与えるために、RAM4へ与えるアドレスをラインセレクタ5、6、7により、マイコン8からのアドレスと、水平位置カウンタ2および垂直位置カウンタ3からのアドレスとを切替選択できるようにしてある。データ書き込み時には、マイコン8からのセレクタ5、6、7をマイコン制御信号12により、ラインセレクタ5~7をマイコン8側に切替るとともに、スリーステートバッファ9をハイインピーダンス状態から導通状態とし、RAM4のデータラインとマイコン8のデータラインとを接続する。この後、任意の文字に対応したRAM4内のメモリ番地に所望のデータを書き込む。このデータの書き込みは、垂直

同期信号をマイコン8へも入力して垂直帰線期間を検出し、この期間内に行なうようにしている。これは、画面表示期間にデータを書き換えることにより画面の乱れが発生するのを防止するためである。

【0026】RAM4のデータは1番地4ビット構成であるが、後述するようにビット数を増加させて、表示可能な色数を増加させることも可能である。

【0027】図5の合成回路10は、図8に示すように、3個のアンドゲート81、82、83からなる。RAM4には、D0ビットにR値、D1ビットにG値、D2ビットにB値を格納しておき、OSD IC1からのモノクロ出力VoとD0ビットとのアンド出力をR信号、VoとD1ビットとのアンド出力をG信号、VoとD2ビットとのアンド出力をB信号とする。これにより、8色のカラー表示が実現される。

【0028】図9は、RAM4として、8ビットデータのものを用い、D0, D1に2ビットのRデータ、D2, D3に2ビットのGデータ、D4, D5に3ビットのBデータを格納した場合を示す。合成回路10では、各色の2ビットデータをD/A変換回路91~93でD/A変換した信号とVoとのアンドをとる。この場合のアンド回路94~96はアナログレベルの出力を得られるものとする。勿論、ディスプレイは、アナログレベル入力対応のものとする必要がある。これにより、2の6乗(32)色の表示が可能となる。

【0029】図10は、8色のOSD ICの出力VR, VG, VBに対して、輝度信号(I)を付加することにより、8色から16色にするための合成回路10を示す。このOSD ICでは背景色が1行単位でしか指定できない。そこで、RAM4にはD0, D1, D2として背景色データ(BR, BG, BB)を格納する。また、D3として輝度信号Iを格納する。合成回路10は、VR, VG, VBをそれぞれ反転するインバータ101, 102, 103と、それぞれこれらインバータの出力とD0, D1, D2のアンドをとるアンドゲート104, 105, 106と、これらアンドゲート104, 105, 106の出力とVR, VG, VBとのオアをとるオアゲート108, 109, 110と、D3とVoのアンドをとるアンドゲートからなる。VR, VG, VBは、文字表示以外の区間で“0”(Low)となっているので、この区間でのみD0~D2のデータを加算することにより、背景色を指定の色とすることができます。また、文字色数は輝度信号Iにより倍となる。勿論、ディスプレイは輝度信号Iの入力を備えたものとする必要がある。

【0030】

【発明の効果】本発明により、単色の表示機能のOSD ICを用いて、多色の表示が可能となり、画面表示制御LSI、表示用RAM、文字用ROMを用いた画像回路よりも安価な回路を提供することができる。また、8色

程度の色表示可能なOSD ICであっても、画面表示制御LSIを用いることなく、さらに多色化が可能である。また、文字の背景部分の着色についても1行単位より細かい単位で色の変更が可能となる。

【図面の簡単な説明】

【図1】本発明の画像表示回路の実施例の構成を示すブロック図。

【図2】図1の画像表示回路における文字構成および画面構成を示す説明図。

【図3】図1のカウンタおよびRAMの接続関係の説明図。

【図4】図1のRAMの構成の説明図。

【図5】本発明の第2の実施例の構成を示すブロック図。

【図6】図5の画像表示回路における文字構成および画

面構成の説明図。

【図7】図5の画像表示回路におけるRAMの構成の説明図。

【図8】図5の画像表示回路における合成回路10の構成の一例を示す回路図。

【図9】図5の画像表示回路における合成回路10の構成の他の例を示す回路図。

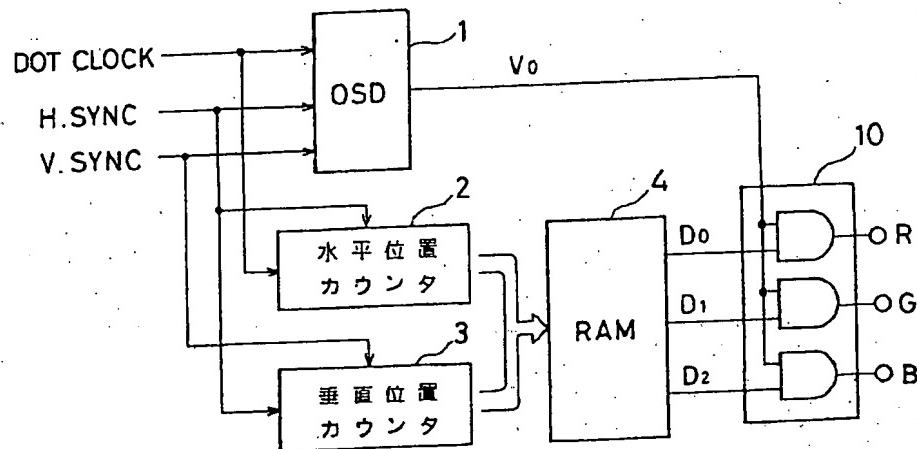
【図10】図5の画像表示回路の変形例における合成回路10の構成の一例を示す回路図。

【符号の説明】

- 1…オンスクリーンディスプレイIC(OSD IC)、
- 2…水平位置カウンタ、3…垂直位置カウンタ、4…RAM、5～7…ラインセレクタ、8…マイコン、9…スリーステートバッファ、10…合成回路、11…ドットクロック、12…セレクタ制御信号。

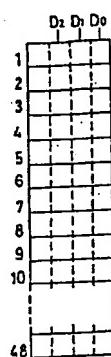
【図1】

図1



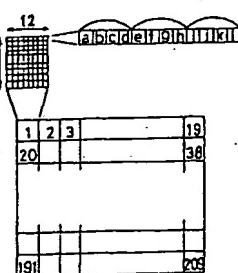
【図4】

図4



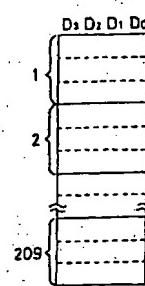
【図6】

図6



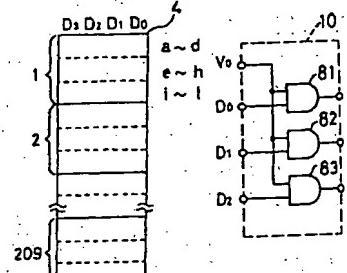
【図7】

図7



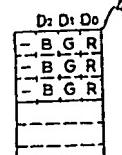
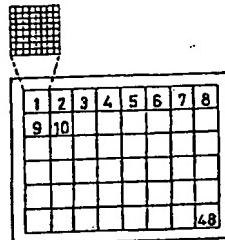
【図8】

図8



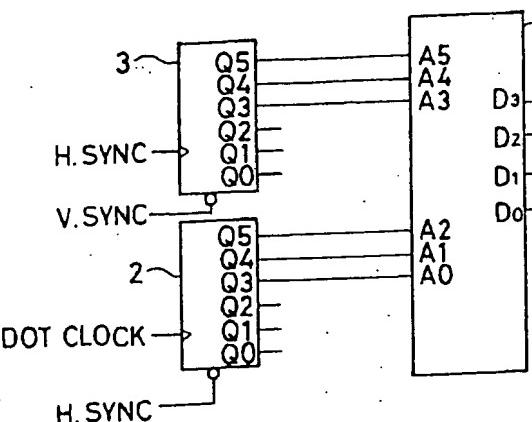
【図2】

図2



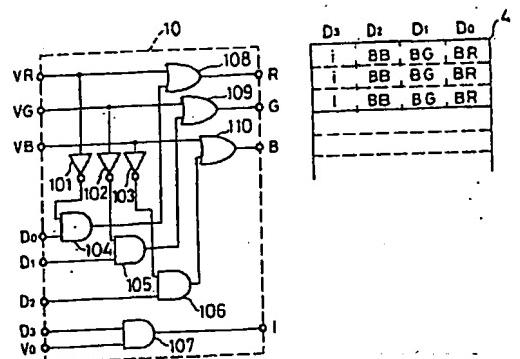
[図3]

図3



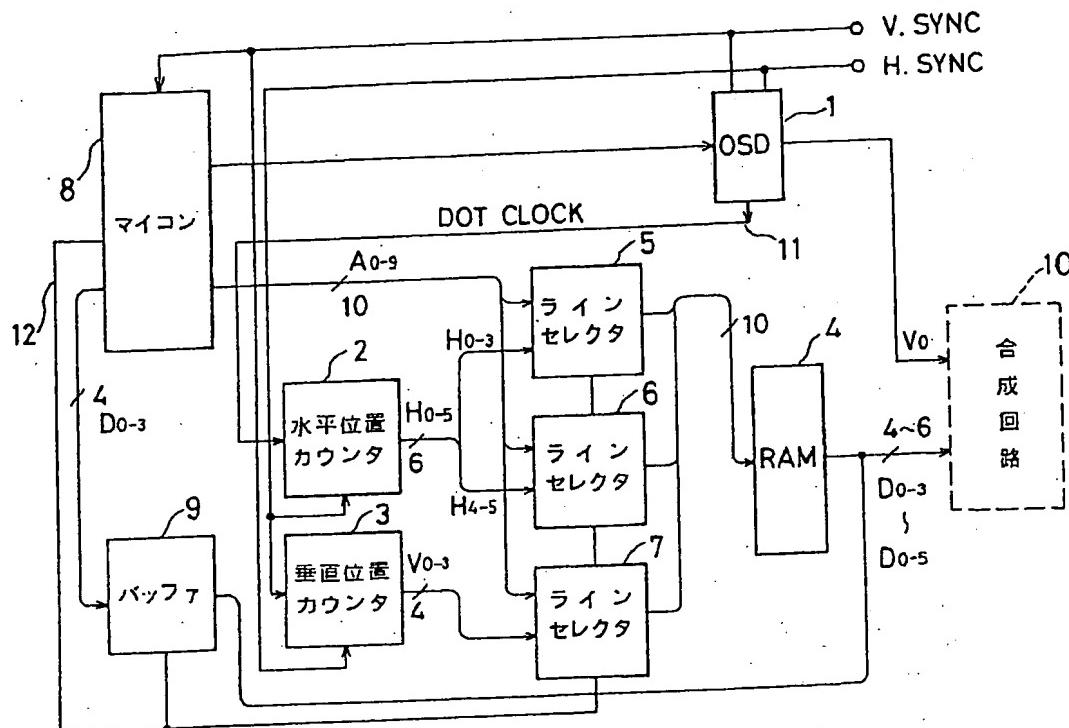
[図10]

図10



[図5]

図5



【図9】

図9

